

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-207465

(P2002-207465A)

(43) 公開日 平成14年7月26日 (2002. 7. 26)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 2
G 0 2 F 1/133	5 0 5	G 0 2 F 1/133	5 0 5 2 H 0 9 3
	1/1345		5 C 0 0 6
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A 5 C 0 8 0
	6 2 1		6 2 1 H

審査請求 未請求 請求項の数15 O L (全 26 頁) 最終頁に続く

(21) 出願番号 特願2001-324117(P2001-324117)

(22) 出願日 平成13年10月22日 (2001. 10. 22)

(31) 優先権主張番号 特願2000-339742(P2000-339742)

(32) 優先日 平成12年11月7日 (2000. 11. 7)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 棚田 好文

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

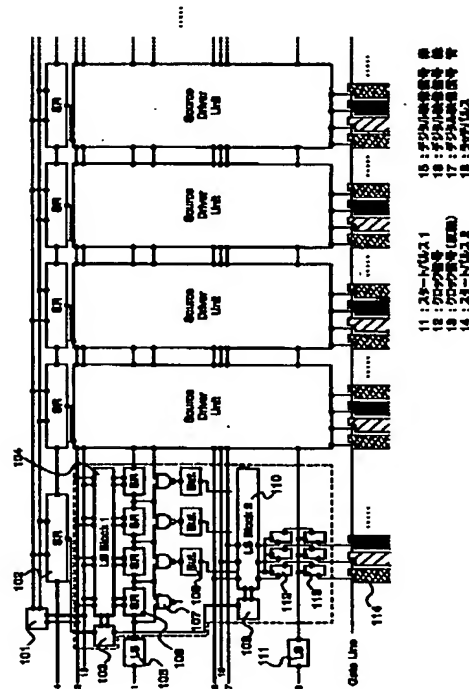
最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 差動増幅器を利用したレベルシフトを用いて、低電圧振幅の入力信号に対応した表示装置の駆動回路において、低消費電力化を実現する。

【解決方法】 駆動回路を複数のユニットに分割し、各ユニットごとに定電流源を設ける。通常の走査回路に加えて、各ユニットに配置した定電流源のON・OFF制御を行うためのサブ走査回路を有し、走査を行っているユニットにおける定電流源のみをONするようにすることにより、効率的に電流の供給を行う。



## 【特許請求の範囲】

【請求項1】駆動回路と、画素部とが基板上に形成された表示装置において、

前記駆動回路は、第1の走査回路と、第2の走査回路とを有し、

前記第1の走査回路は、第1のクロック信号に従って順次パルスを出力するシフトレジスタと、入力される信号の電圧振幅の変換を行うレベルシフトと、前記レベルシフトに電流を供給する定電流源とを有し、

前記第2の走査回路は、第2のクロック信号に従って順次パルスを出力するシフトレジスタを有し、

前記定電流源は、前記第2の走査回路から順次出力されるパルスが、前記定電流源に入力されている期間においてのみ、電流の供給を行うことを特徴とする表示装置。

【請求項2】駆動回路と、画素部とが基板上に形成された表示装置において、前記駆動回路は、第1の走査回路と、第2の走査回路とを有し、前記第1の走査回路は、第1～第 $x$ の $x$ 段( $x$ は自然数、 $x \geq 2$ )のユニットを有し、前記 $x$ 段のユニットはそれぞれ、第1のクロック信号に従って順次パルスを出力するシフトレジスタと、入力される信号の電圧振幅の変換を行うレベルシフトと、前記レベルシフトに電流を供給する定電流源とを有し、前記第2の走査回路は、第2のクロック信号に従って順次パルスを出力するシフトレジスタを有し、第 $a$ 段目( $a$ は自然数、 $1 \leq a \leq x$ )のユニットにおける前記定電流源は、前記第2の走査回路から順次出力されるパルスが、前記第 $a$ 段目のユニットにおける前記定電流源に入力されている期間においてのみ、電流の供給を行うことを特徴とする表示装置。

【請求項3】請求項1もしくは請求項2に記載の表示装置において、

前記第2のクロック信号の周波数は、前記第1のクロック信号の周波数よりも低いことを特徴とする表示装置。

【請求項4】請求項1もしくは請求項3に記載の表示装置において、

前記第2のクロック信号は、基板上の分周回路によって、前記第1のクロック信号より生成されることを特徴とする表示装置。

【請求項5】駆動回路と、画素部とが基板上に形成された表示装置において、

前記駆動回路は、走査回路と、選択回路とを有し、

前記走査回路は、クロック信号に従って順次パルスを出力するシフトレジスタと、入力される信号の電圧振幅の変換を行うレベルシフトと、前記レベルシフトに電流を供給する定電流源とを有し、

前記選択回路は、選択信号の入力により、複数の出力端子の内、任意の端子に選択パルスを出力するデコーダを有し、

前記定電流源は、前記デコーダによって、選択パルスが前記定電流源に入力されている期間においてのみ、電流

の供給を行うことを特徴とする表示装置。

【請求項6】駆動回路と、画素部とが基板上に形成された表示装置において、前記駆動回路は、走査回路と、選択回路とを有し、前記走査回路は、第1～第 $x$ の $x$ 段

( $x$ は自然数、 $x \geq 2$ )のユニットを有し、前記 $x$ 段のユニットはそれぞれ、クロック信号に従って順次パルスを出力するシフトレジスタと、入力される信号の電圧振幅の変換を行うレベルシフトと、前記レベルシフトに電流を供給する定電流源とを有し、

10 前記選択回路は、選択信号の入力により、複数の出力端子の内、任意の端子に選択パルスを出力するデコーダを有し、

前記デコーダの複数の出力端子は、それぞれ異なる段のユニットの有する前記定電流源に接続され、

第 $a$ 段目( $a$ は自然数、 $1 \leq a \leq x$ )のユニットにおける前記定電流源は、前記デコーダによって、選択パルスが前記第 $a$ 段目の前記定電流源に入力されている期間においてのみ、電流の供給を行うことを特徴とする表示装置。

20 【請求項7】駆動回路と、画素部とが基板上に形成された表示装置において、

前記駆動回路は、走査回路と、選択回路とを有し、

前記走査回路は、第1～第 $x$ の $x$ 段( $x$ は自然数、 $x \geq 2$ )のユニットを有し、

前記 $x$ 段のユニットはそれぞれ、クロック信号に従って順次パルスを出力するシフトレジスタと、入力される信号の電圧振幅の変換を行うレベルシフトと、前記レベルシフトに電流を供給する定電流源と、前記定電流源にパルスを入力して電流の供給期間と停止期間とを制御する定電流源スイッチ回路とを有し、

30 前記選択回路は、選択信号の入力により、複数の出力端子の内、任意の端子に選択パルスを出力するデコーダを有し、

第 $a$ 段目( $a$ は自然数、 $1 \leq a \leq x$ )のユニットにおける前記定電流源スイッチ回路は、前記デコーダから出力される選択信号のうちいずれか1つ、または第 $a-1$ 段目のユニットにおけるシフトレジスタ最終段からの出力パルスが入力されている期間においてのみ、前記第 $a$ 段目のユニットにおける前記定電流源にパルスを出し、

40 前記第 $a$ 段目のユニットにおける前記定電流源は、前記第 $a$ 段目のユニットにおける前記定電流源スイッチ回路からパルスが入力されている期間においてのみ、電流の供給を行うことを特徴とする表示装置。

【請求項8】請求項1乃至請求項7のいずれか1項に記載の表示装置において、

前記駆動回路と、前記画素部とは、ガラス基板上、プラスチック基板上、ステンレス基板上、単結晶ウェハ上のいずれかに形成されていることを特徴とする表示装置。

50 【請求項9】請求項1乃至請求項8のいずれか1項に記載の表示装置において、

前記駆動回路と、前記画素部とは、同一基板上に一体形成されていることを特徴とする表示装置。

【請求項10】請求項1乃至請求項8のいずれか1項に記載の表示装置において、

前記駆動回路と、前記画素部とは、異なる基板上に形成されていることを特徴とする表示装置。

【請求項11】請求項1乃至請求項10のいずれか1項に記載の表示装置を用いることを特徴とする液晶ディスプレイ。

【請求項12】請求項1乃至請求項10のいずれか1項に記載の表示装置を用いることを特徴とするパーソナルコンピュータ。

【請求項13】請求項1乃至請求項10のいずれか1項に記載の表示装置を用いることを特徴とする携帯情報端末。

【請求項14】請求項1乃至請求項10のいずれか1項に記載の表示装置を用いることを特徴とするカーオーディオ。

【請求項15】請求項1乃至請求項10のいずれか1項に記載の表示装置を用いることを特徴とするデジタルカメラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、表示装置および表示装置の駆動回路に関し、特に、絶縁体上に作成される薄膜トランジスタ(TFT)を有するアクティブマトリクス型表示装置およびアクティブマトリクス型表示装置の駆動回路に関する。

【0002】

【従来の技術】近年、半導体製造技術の微細化が進み、それに伴うLSIの小型化によって、携帯端末等の小型機器への応用も進むことで、低消費電力化が要求されるようになり、現在では、3.3[V]駆動などの低電源電圧駆動のLSIが主流となっている。一方で、携帯端末やコンピュータ用モニタなどの用途として近年需要の増加が著しいLCD(液晶ディスプレイ)は、液晶の駆動を10[V]〜20[V]の電圧振幅の信号によって行われることが多く、その駆動回路には対応する高電源電圧で駆動する回路部が少なくとも存在する。したがって、前述の低電源電圧で駆動されるコントローラLSIと、高電源電圧で駆動される液晶駆動用回路とは、信号の振幅電圧幅を変化させるレベルシフタをもって接続することが不可欠となる。

【0003】また、LCDのみならず、近年、エレクトロルミネッセンス素子(以後、EL素子と表記。ここでは、一重項発光、三重項発光のいずれのものもELと定義する。)を用いたディスプレイが開発されたが、こちらにおいても、低駆動電圧化への要求は強い。

【0004】

【本発明以前の技術】図6は、表示装置のソース信号線

駆動回路の回路図の一例を示している。このソース信号線駆動回路は、レベルシフタ601〜604、入力信号バッファ605、シフトレジスタ606、NAND回路607、バッファ608、第1のラッチ回路609、第2のラッチ回路610を有し、画素611へと繋がる。バッファ608は特に設けなくとも良いし、信号の論理に合わせて適宜配置しても良い。ここで、スタートパルス、クロック信号、デジタル映像信号等は、表示装置の外部から入力される信号であるが、これらは前述のコントローラLSI(図示せず)から供給されるため、その電圧振幅は一般に3.3[V]等の低電圧振幅によって供給される。よって、図6に示した駆動回路においては、クロック信号、スタートパルス、デジタル映像信号等、外部のコントローラLSIから入力される信号は、入力直後にレベルシフタ601〜604によってその電圧振幅の変換(レベル変換)を受けている。クロック信号の入力部付近に配置されている入力信号バッファ605は、クロック信号線の負荷が大きいことによるクロック信号の波形のなまりを防ぐためのものである。また、クロック信号のなまりを防ぐ手段として、図7において701に示すように、クロック信号のレベル変換を、各段のシフトレジスタ直前で行うようにする方法もある。

【0005】回路の動作について説明する。図6、図7は、クロック信号のレベル変換手段を除いては同様の回路構成であるので、ここでは図6のみを用いて説明することにする。クロック信号、スタートパルスに従って、シフトレジスタ606からパルスが出力され、隣接した2段のパルスがNAND回路607に入力される。NAND回路607においては、入力された2信号の論理和をとったパルスが出力され、これが第1のラッチパルスとなる。その後、バッファ608を通り、第1のラッチ回路609へと入力される。第1のラッチパルスの入力タイミングに従って、レベルシフタ603によってレベル変換を受けたデジタル映像信号のラッチ動作が行われる。1段目から最終段まで、このラッチ動作が完了した後、帰線期間内に第2のラッチパルスが入力端7に入力され、第1のラッチ回路609に保持されている1水平期間分のデジタル映像信号は、一斉に第2のラッチ回路610へと転送される。その後、ゲート信号線(Gate Line)が選択されている行の画素611に信号を書き込み、映像の表示を行う。

【0006】図6におけるレベルシフタ601〜604、および図7におけるレベルシフタ701〜704を、従来のレベルシフタによって構成した例を図3(A)に示す。ここで、Inは入力信号、Outは出力信号である。Inbは入力信号の反転信号であり、インバータ等を用いてIn信号より生成すれば良い。このような構成のレベルシフタにおいては、入力信号(In、Inb)の電圧振幅が3.3[V]程度と小さい場合、レベルシフタを構成するTFTのしきい値などの影響によ

り、正常なレベル変換を行うことが出来ない場合がある。

【0007】そこで、図3(B)に示すような構成のレベルシフタを用いる。図3(B)に示すレベルシフタは、差動増幅器によってレベル変換を行うものであり、入力信号の電圧振幅が小さい場合にも、確実なレベル変換機能を実現することが出来るため、回路の低駆動電圧化に対して非常に有効な回路である。

【0008】

【発明が解決しようとする課題】しかし、図3(B)に示しているように、差動増幅器を利用したレベルシフタは、定電流源301(Sup.)を必要とし、回路の動作中は常に一定電流が供給されているため、その消費電力の面では従来のレベルシフタと比較して大きいため、モバイル機器等への搭載には不利である。さらに、レベルシフタ後段に配置されるバッファのサイズが大きいうというデメリットもある。最近特に普及の著しい各種モバイル機器においては、その小型化、軽量化に一層の拍車がかかり、低電圧駆動を実現するために行うデバイスの変更によって消費電力の増加や回路面積の拡大を招くのでは本末転倒であるといえる。

【0009】本発明は、前述のような課題を鑑みてなされたものであり、周辺回路の低駆動電圧化に対応し、かつ低消費電力を実現することの出来る表示装置の駆動回路を提供することを目的とする。

【0010】

【課題を解決するための手段】前述の課題を解決するために、本発明においては以下のような手段を講じた。

【0011】図6、図7に示したソース信号線駆動回路においては、レベルシフタには、シフトレジスタからのパルスの出力の有無、映像信号の入力の有無に関わらず、常に一定電流が供給されていた。そこで本発明においては、ある適当な段数ごとに駆動回路を分割し、第1のラッチパルスを出力するためのシフトレジスタを有する第1の走査回路とは別に、それよりも低速に動作するシフトレジスタ等を用いた第2の走査回路(以後、サブ走査回路と表記する)を配置し、その出力パルスによって各ブロックに配置されているレベルシフタに電流を供給する電流源のON・OFF動作を制御する。このような構成とすることにより、消費電力の増加の原因となる定電流源は、必要な箇所においてのみ電流の供給を行うことが出来るため、消費電力の大幅な低減を実現する。また、定電流源の制御に用いるサブ走査回路においては、動作速度が低いので、消費電力の増加にはほとんど影響を及ぼすことがない。

【0012】以下に、本発明の表示装置の構成について記載する。

【0013】本発明の表示装置は、駆動回路と、画素部とが基板上に形成された表示装置において、前記駆動回路は、第1の走査回路と、第2の走査回路とを有し、前

記第1の走査回路は、第1のクロック信号に従って順次パルスを出力するシフトレジスタと、入力される信号の電圧振幅の変換を行うレベルシフタと、前記レベルシフタに電流を供給する定電流源とを有し、前記第2の走査回路は、第2のクロック信号に従って順次パルスを出力するシフトレジスタを有し、前記定電流源は、前記第2の走査回路から順次出力されるパルスが、前記定電流源に入力されている期間においてのみ、電流の供給を行うことを第1の特徴としている。

【0014】本発明の表示装置は、駆動回路と、画素部とが基板上に形成された表示装置において、前記駆動回路は、第1の走査回路と、第2の走査回路とを有し、前記第1の走査回路は、第1～第xのx段(xは自然数、 $x \geq 2$ )のユニットを有し、前記x段のユニットはそれぞれ、第1のクロック信号に従って順次パルスを出力するシフトレジスタと、入力される信号の電圧振幅の変換を行うレベルシフタと、前記レベルシフタに電流を供給する定電流源とを有し、前記第2の走査回路は、第2のクロック信号に従って順次パルスを出力するシフトレジスタを有し、第a段目(aは自然数、 $1 \leq a \leq x$ )のユニットにおける前記定電流源は、前記第2の走査回路から順次出力されるパルスが、前記第a段目のユニットにおける前記定電流源に入力されている期間においてのみ、電流の供給を行うことを第2の特徴としている。

【0015】本発明の表示装置は、第1もしくは第2の特徴に加えて、請求項1もしくは請求項2に記載の表示装置において、前記第2のクロック信号の周波数は、前記第1のクロック信号の周波数よりも低いことを特徴としている。

【0016】本発明の表示装置は、第1もしくは第2の特徴に加えて、前記第2のクロック信号は、基板上の分周回路によって、前記第1のクロック信号より生成されるようにしても良い。

【0017】本発明の表示装置は、駆動回路と、画素部とが基板上に形成された表示装置において、前記駆動回路は、走査回路と、選択回路とを有し、前記走査回路は、クロック信号に従って順次パルスを出力するシフトレジスタと、入力される信号の電圧振幅の変換を行うレベルシフタと、前記レベルシフタに電流を供給する定電流源とを有し、前記選択回路は、選択信号の入力により、複数の出力端子の内、任意の端子に選択パルスを出力するデコーダを有し、前記定電流源は、前記デコーダによって、選択パルスが前記定電流源に入力されている期間においてのみ、電流の供給を行うことを第3の特徴としている。

【0018】本発明の表示装置は、駆動回路と、画素部とが基板上に形成された表示装置において、前記駆動回路は、走査回路と、選択回路とを有し、前記走査回路は、第1～第xのx段(xは自然数、 $x \geq 2$ )のユニットを有し、前記x段のユニットはそれぞれ、クロック信

号に従って順次パルスを出力するシフトレジスタと、入力される信号の電圧振幅の変換を行うレベルシフトと、前記レベルシフトに電流を供給する定電流源とを有し、前記選択回路は、選択信号の入力により、複数の出力端子の内、任意の端子に選択パルスを出力するデコーダを有し、前記デコーダの複数の出力端子は、それぞれ異なる段のユニットの有する前記定電流源に接続され、第a段目(aは自然数、 $1 \leq a \leq x$ )のユニットにおける前記定電流源は、前記デコーダによって、選択パルスが前記第a段目の前記定電流源に入力されている期間においてのみ、電流の供給を行うことを第4の特徴としている。

【0019】本発明の表示装置は、駆動回路と、画素部とが基板上に形成された表示装置において、前記駆動回路は、走査回路と、選択回路とを有し、前記走査回路は、第1～第xのx段(xは自然数、 $x \geq 2$ )のユニットを有し、前記x段のユニットはそれぞれ、クロック信号に従って順次パルスを出力するシフトレジスタと、入力される信号の電圧振幅の変換を行うレベルシフトと、前記レベルシフトに電流を供給する定電流源と、前記定電流源にパルスを入力して電流の供給期間と停止期間とを制御する定電流源スイッチ回路とを有し、前記選択回路は、選択信号の入力により、複数の出力端子の内、任意の端子に選択パルスを出力するデコーダを有し、第a段目(aは自然数、 $1 \leq a \leq x$ )のユニットにおける前記定電流源スイッチ回路は、前記デコーダから出力される選択信号のうちいずれか1つ、または第a-1段目のユニットにおけるシフトレジスタ最終段からの出力パルスが入力されている期間においてのみ、前記第a段目のユニットにおける前記定電流源にパルスを出し、前記第a段目のユニットにおける前記定電流源は、前記第a段目のユニットにおける前記定電流源スイッチ回路からパルスが入力されている期間においてのみ、電流の供給を行うことを第5の特徴としている。

【0020】本発明の表示装置は、上記の特徴に加えて、前記駆動回路と、前記画素部とは、ガラス基板上、プラスチック基板上、ステンレス基板上、単結晶ウェハ上のいずれかに形成されていても良い。

【0021】本発明の表示装置は、上記の特徴に加えて、前記駆動回路と、前記画素部とは、同一基板上に一体形成されていても良い。

【0022】本発明の表示装置は、上記の特徴に加えて、前記駆動回路と、前記画素部とは、異なる基板上に形成されていても良い。

【0023】

【発明の実施の形態】図1は、本発明の表示装置の駆動回路の構成形態を示す図である。ある適当な段数ごとにソース信号線駆動回路を分割し、その分割単位ごとにレベルシフトへの電流源103を設けている。各分割単位(図1中、点線枠で囲われた部分を指す。以後、これを

ユニットと記す。)は、定電流源103、109、レベルシフト104、105、110、111、第1のシフトレジスタ106、NAND回路107、バッファ108、第1のラッチ回路112、第2のラッチ回路113等を有する。このユニットを必要段数分だけ繰り返すことによって、ソース信号線駆動回路を構成する。レベルシフト105、111についてはそれぞれ単体であり、消費電力の増加への影響は無視できるため、独立して電流源を有し、動作する。レベルシフト104、110については、各ユニット内でレベル変換の必要な信号の入力数分のレベルシフトを集めたものとなっており、それらに供給する定電流は、それぞれ定電流源103、109による。さらに、本発明の表示装置の駆動回路は、サブ走査回路を有し、その中に各ユニットに配置されている定電流源103、109の動作のON・OFFを制御するための、第2のシフトレジスタ102を有する。この第2のシフトレジスタ102の段数は、第1のシフトレジスタ106よりも少ないため、低速で動作させれば良い。例えば、図1においては、1ユニットあたりに配置されている第1のシフトレジスタ106は4段であるので、第2のシフトレジスタ102は、第1のシフトレジスタ106の1/4程度の周波数で動作させれば良い。

【0024】ただし、本発明の主旨は、ソース信号線駆動回路を複数のユニットに分割し、ユニットごとに配置された定電流源を、サブ走査回路によってON・OFF制御を行う点にある。よって、第1のシフトレジスタ106の段数と、第2のシフトレジスタ102の段数および動作クロック周波数の関係に関しては特に限定しない。

【0025】ここで、図1に示した本発明の表示装置における駆動回路の動作について説明する。図4に簡略なタイミングチャートを示す。また、信号の入力は、図1においては端子の番号として11～18を用いて説明する。

【0026】まず、入力端子12、13に第1のクロック信号が入力される(図4中、クロック信号Aと表記)。クロック信号Aは、分周回路101およびレベルシフト104に入力される。分周回路101によってクロック信号Aから、より低い周波数を有する第2のクロック信号を生成する(図4中、クロック信号Bと表記)。クロック信号Bは、第2のシフトレジスタ102に入力される。

【0027】続いて、入力端子14にスタートパルス(図1、図4中、スタートパルス2と表記)が入力され、先のクロック信号Bとによって、第2のシフトレジスタ102が動作し、パルスを出力する。このパルスは、定電流源103、109に入力され、パルスが入力されている期間だけ一定電流をレベルシフト104、110に供給する。

【0028】一方、レベルシフト104に入力されたクロック信号Aは、ここでレベル変換を受け、第1のシフトレジスタ106に入力される。入力端子11から、スタートパルス（図1、図4中、スタートパルス1と表記）が入力され、レベルシフト105によってレベル変換を受け、第1のシフトレジスタ106に入力される。スタートパルス1とクロック信号Aとによって、第1のシフトレジスタ106が動作し、順次パルスを出力する。

【0029】第1のシフトレジスタ106から順次出力されるパルスは、NAND回路107に入力される。隣接した2つのパルスが共にHi電位るとき、NAND回路よりLo電位のパルスが出力され、バッファ108へと入力される。これが第1のラッチパルスとして、第1のラッチ回路112に入力される。

【0030】入力端子15～17より、R、G、Bに対応したデジタル映像信号が入力され、レベルシフト110へと入力される。このとき、定電流源109は動作しており、レベルシフト110には一定電流が供給されているので、直ちにレベル変換を受け、第1のラッチ回路112に入力される。前述した第1のラッチパルスの入力タイミングに従い、順次デジタル映像信号の保持を行う。

【0031】最初のユニットにおいて、最終段における第1のラッチ回路での保持動作が終了すると、2段目のユニットにおいて同様の動作を開始する。同時に、第2のシフトレジスタからは次段のパルスが出力され、2段目のユニットの有するレベルシフトに一定電流が供給される。この動作を繰り返し、1水平期間分のデジタル映像信号が第1のラッチ回路112に保持される。

【0032】その後、入力端子18より、第2のラッチパルスが入力され、レベルシフト111によってレベル変換を受けた後、第2のラッチ回路113へと入力される。このタイミングに従い、第1のラッチ回路112にて保持されていたデジタル映像信号は、一斉に第2のラッチ回路113に転送される。その後、ゲート信号線（Gate Line）の選択されている行の画素114に書き込みが行われ、これら一連の動作を繰り返すことによって映像の表示を行う。

【0033】なお、図1には図示していないが、画素にデジタル映像信号を書き込む際には、D/A変換回路によってアナログ信号に変換して書き込みを行うのが一般的である。

【0034】図4において、SR出力#’（#は自然数）と示しているのは、第2のシフトレジスタの出力であり、それぞれ1段目、2段目、3段目・・・最終段である。各ユニットに配置された定電流源は、このパルスが出力されている期間に限り、レベルシフトへの電流の供給を行う。401で示した期間は、1段目のユニットにおいて、最初に第1のシフトレジスタの動作が開始し

てから、ユニット内最終段（図1、図4の場合は、ユニット内の第1のシフトレジスタ段数は4段としているので、それに従っているが、勿論、1ユニットあたりのシフトレジスタ段数はこれに限らずとも良い。）の第1のシフトレジスタの出力が終了するまでの期間であり、この期間は正常に電流の供給が行われることがわかる。同様に、402、403で示される期間においても、各ユニットの定電流源は、正常にレベルシフトに一定電流を供給することが出来ることがわかる。

【0035】ところで、本実施形態の例では、サブ走査回路をシフトレジスタを用いて構成しているため、第2のシフトレジスタの出力パルスの重なりによって、あるユニットで、すべての第1のシフトレジスタの動作が終了した後しばらく、電流の供給が続くようなタイミングとなっているが、これによって、仮にシフトレジスタの動作終了から映像信号のラッチ動作までの間に、ある程度の遅延が生じた場合にも、レベルシフト110は十分に動作期間内にあるため、好ましい。さらに好ましくは、第2のシフトレジスタの動作開始のタイミングを、第1のシフトレジスタの動作開始のタイミングよりもやや早くすることで、1段目の第1のシフトレジスタに入力されるクロック信号Aのレベル変換を確実に行えるようにするのが良い。このように、各タイミングに十分なマージンをとることで、パルスの出力のなまり、遅延等によって、定電流源のONのタイミングが遅れ、各入力信号のレベル変換を正常に行うことが出来なくなる等といった問題を回避することが出来る。

【0036】また、本実施形態において、クロック信号Bは、分周回路101を用いてクロック信号Aから生成しており、スタートパルス1および2は、それぞれ独立して入力するようにしているが、特に限定はしない。つまり、クロック信号は独立して外部入力としても良いし、一方のスタートパルスから、他方のスタートパルスを生成するような回路を配置しても良い。

【0037】本発明を説明するために、本明細書においては、駆動回路としてソース信号線駆動回路を例として説明してきたが、本発明はゲート信号線駆動回路への適用も容易である。

【0038】

【実施例】以下に本発明の実施例について記述する。

【0039】[実施例1] 前述の実施形態にて示した駆動回路は、入力する映像信号がデジタル形式のものについてであったが、本発明はアナログ形式の映像信号を用いる表示装置においても実施が可能である。図2は、アナログ方式の映像信号を用いる表示装置におけるソース信号線駆動回路を用いて、本発明を実施する例を示している。アナログ映像信号は、それぞれR、G、Bに対応して、入力端子25～27より入力される。

【0040】図2に示したソース信号線駆動回路は、実施形態に示したものと同様、適当な段数ごとのユニット



に分割され、そのユニットごとにレベルシフトへの電流源203を設けている。各ユニットは、定電流源203、レベルシフト204、205、第1のシフトレジスタ206、NAND回路207、バッファ208、サンプリングスイッチ210等を有する。レベルシフト204は、各ユニット内でレベル変換の必要な信号の入力数分のレベルシフトを集合させたものとなっており、それらに供給する定電流は、定電流源203による。さらに、各ユニットに配置されている定電流源203の動作のON・OFFを制御するための、第2のシフトレジスタ202を有する。この第2のシフトレジスタ202の段数は、第1のシフトレジスタ206よりも少ないため、低速で動作させれば良い。

【0041】回路の動作については、実施形態にて示したデジタル形式のものと同様であるので、ここでは説明を省略する。バッファ208からの出力パルスは、サンプリングスイッチ210に入力され、サンプリングスイッチ210を導通させる。このタイミングで、入力端子25〜27より入力されるアナログ映像信号のサンプリングが行われ、ゲート信号線の選択されている行の画素211へと書き込みが行われる。

【0042】[実施例2]本実施例においては、定電流源のON・OFF制御を、実施形態とは異なる方法にて行う例について説明する。

【0043】図5に示す駆動回路においては、回路の動作は実施形態にて示したデジタル方式のものと同様であるが、定電流源503、508のON・OFF制御を行うのに、実施形態や実施例1のようなシフトレジスタではなく、デコーダ501を用いている。入力端子38〜45にユニット選択信号を入力し、いずれの定電流源を動作させるかを決定する。図5においては、例として4ビットデコーダを用いているが、ソース信号線駆動回路の段数やユニットの段数等によって決定すれば良い。

【0044】もちろん、本実施例にて示した方法を、アナログ方式の駆動回路と組み合わせて実施することも可能である。

【0045】[実施例3]本実施例においては、ユニット間をまたぐタイミングにおける定電流源のON・OFF制御に関して説明する。

【0046】図14は、実施例2と同様、定電流源のON・OFF制御をデコーダを用いて行う方式の駆動回路の例を示している。図5に示した構成では、デコーダの構成上、異なる2つのパルスの同時出力、つまり意図的にパルスの重複期間を作ることとは基本的に出来ないことから、隣接したユニットの定電流源のON期間を重複させて、駆動回路の動作遅延に対するマージンを取ることが出来ない。つまり、第1段目のユニットの定電流源のON・OFF制御用のパルスを出力するNAND回路1401と、第2段目のユニットの定電流源のON・OFF制御用のパルスを出力するNAND回路1402との

タイミングを重複させることが出来ない。

【0047】そこで、図14に示すように、デコーダを2相とし、奇数段ユニットと偶数段ユニットの定電流源のON・OFF制御を、異なるデコーダからのパルスによって行うことによってこれを解決する。

【0048】まず、NAND回路1401からパルスが出力され、第1段目のユニットの定電流源から、レベルシフトへの電流供給を開始(ON)する。第1段目のユニット最終段においてラッチ動作が終了した後、NAND回路1401からのパルスを停止させ、定電流源は電流供給を終了(OFF)する。ここで、第1段目のユニットにおける定電流源がOFFする直前に、NAND回路1402からパルスが出力され、第2段目のユニットの定電流源をONする。この動作は、NAND回路1401へのユニット選択信号の入力端子と、NAND回路1402へのユニット選択信号の入力端子が独立していることから、容易に出来る。以下、奇数段ユニットと偶数段ユニットの定電流源のON・OFFを、2相のデコーダによって交互に行っていく。このような方法のメリットとしては、隣接するユニット間での定電流源のON期間の設定の自由度が高いことが挙げられる。

【0049】[実施例4]本実施例においては、ユニット間をまたぐタイミングにおける定電流源のON・OFF制御を、実施例3とは異なる方法にて行う例について説明する。

【0050】本発明を実施する場合、レベルシフトに特化して低消費電力化を考えるならば、単位ユニット内のシフトレジスタ段数を少なく、つまりより多くのユニットに分割した方が、一定期間に電流の供給を受けているレベルシフトの段数を減らすことが出来る。その場合、サブ走査回路にてデコーダに入力する信号のビット数が増加し、ユニット選択信号線の本数が増加することによって、サブ走査回路の占有面積の拡大を招く。さらに、デコーダを2相とする実施例4のような方法においては、さらに占有面積は拡大することになるという不都合が生ずる。

【0051】そこで、本実施例においては、実施例4と同様の効果を得るために、シフトレジスタからの出力パルスを併用して定電流源のON・OFF制御を行う例について説明する。

【0052】図15を参照する。選択回路1500は実施例2と同様のものであり、1相のデコーダによって構成される。第1段目のユニット1510における定電流源のON・OFFは、実施例2と同様、デコーダ第1段目のNAND回路1501の出力によって行う。第2段目以降、最終段までのユニットにおいては、NAND回路の出力パルスは新たに追加した回路に入力される。第2段目のユニットにおいて、デコーダ第2段目のNAND回路1502の出力パルスは、2入力NOR回路(以後、単にNOR回路と表記する。)1503の一方に入

力される。NOR回路の入力のうち、残る一方には、前段ユニットにおける最終段のシフトレジスタ1505の出力パルスが入力される。以後、最終段ユニットまで同様の構成をとる。

【0053】なお、実施例2に示した回路との差別を図るため、NOR回路1503、インバータ1504からなる回路を、定電流源スイッチ回路と定義する。この定電流源スイッチ回路は、ユニットに含まれるもの、つまり各ユニットがそれぞれ定電流源スイッチ回路を有するものとしている。なお、この定電流源スイッチ回路は、

【0054】また、図15において、1段目のユニットが定電流源スイッチ回路を持たないのは、1段目に限っては、デコーダへの選択信号の入力開始のタイミングを自由に決定出来るために、定電流源のONのタイミングを、他の回路のパルスを用いてまかなう必要がないからであるが、ここに定電流源スイッチ回路を有していても構わない。

【0055】回路動作について、図16に示すタイミングチャートを併用して説明する。まず、シフトレジスタに入力するクロック信号のレベル変換を行うため、デコーダ1500にユニット選択信号を入力し、NAND回路1501からパルスを出力（図16中、デコーダ出力1と表記）して、定電流源1511、1512の電流供給を開始する。クロック信号とスタートパルスとに従い、第1段目のユニットでシフトレジスタが動作し、順次パルスを出力する（図16中、SR出力#と表記。#は段数、1～最終）。デコーダ出力1で示すパルスは、第1段目のユニット最終段のシフトレジスタの動作が終了するまでパルスを出力し、これによって第1段目のユニットにおけるシフトレジスタの動作が保証される。

【0056】続いて、第2段目のユニットにおいて動作が開始される。ここで、第2段目のユニットにおける定電流源1513、1514は、NOR回路1503に第1段目のユニット最終段のシフトレジスタ1505からの出力パルスが入力されることによって、デコーダ出力2よりも早いタイミングで開始される。図16に示した各ユニットの定電流源の動作タイミング（図16中、LS電流源#と表記。#は段数、1～最終）において、1602で示している期間の一部は、デコーダからの出力ではなく、前段のシフトレジスタの出力によって定電流源のON制御が行われる。前段のシフトレジスタ出力が終了した後は、デコーダ出力によって、定電流源はONの状態を継続する（1603）。つまり、NOR回路1503の入力端子のうち、いずれか一方あるいは両方にパルスの入力がある期間で、定電流源1513、1514がONする。

【0057】やがて、第2段目のユニット最終段のシフ

トレジスタ1509からのパルス出力に伴い、NOR回路に入力されることによって、第3段目のユニットにおいて、定電流源がONする。続いて、シフトレジスタ1509のパルス出力の終了に伴って、第3段目のユニットにおいて、定電流源がOFFする。

【0058】以後、駆動回路の最終ユニットまで、同様の動作を行うことにより、ユニット間をまたぐタイミングでは、両方のユニットの定電流源がONしている期間を設けることが出来る。また、回路面積についても、実施例2の回路に対して少しの素子を追加するのみで実施が可能であり、デコーダを2相とする場合に比べ、回路面積が大幅に縮小出来ることになる。

【0059】【実施例5】本実施例では、本発明の表示装置の画素部とその周辺に設けられる駆動回路部（ソース信号線側駆動回路、ゲート信号線側駆動回路）のTFTを同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路部に関しては基本単位であるCMOS回路を図示することとする。

【0060】図8（A）を参照する。まず、本実施例ではコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板5001を用いる。なお、基板5001としては、透光性を有する基板であれば限定されず、石英基板を用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【0061】次いで、基板5001上に酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜から成る下地膜5002を形成する。本実施例では下地膜5002として2層構造を用いるが、前記絶縁膜の単層膜または2層以上積層させた構造を用いても良い。下地膜5002の1層目としては、プラズマCVD法を用い、 $\text{SiH}_4$ 、 $\text{NH}_3$ 、及び $\text{N}_2\text{O}$ を反応ガスとして成膜される酸化窒化珪素膜5001aを10～200[nm]（好ましくは50～100[nm]）形成する。本実施例では、膜厚50[nm]の酸化窒化珪素膜5002a（組成比 $\text{Si}=32\%$ 、 $\text{O}=27\%$ 、 $\text{N}=24\%$ 、 $\text{H}=17\%$ ）を形成した。次いで、下地膜5002の2層目としては、プラズマCVD法を用い、 $\text{SiH}_4$ 、及び $\text{N}_2\text{O}$ を反応ガスとして成膜される酸化窒化珪素膜5002bを50～200[nm]（好ましくは100～150[nm]）の厚さに積層形成する。本実施例では、膜厚100[nm]の酸化窒化珪素膜5002b（組成比 $\text{Si}=32\%$ 、 $\text{O}=59\%$ 、 $\text{N}=7\%$ 、 $\text{H}=2\%$ ）を形成した。

【0062】次いで、下地膜上に半導体層5003～5006を形成する。半導体層5003～5006は、非晶質構造を有する半導体膜を公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により成膜した後、公知の結晶化処理（レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法



等)を行って得られた結晶質半導体膜を所望の形状にパターンニングして形成する。この半導体層5003~5006は、25~80[nm] (好ましくは30~60[nm])の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくは珪素(シリコン)またはシリコンゲルマニウム( $\text{Si}_x\text{Ge}_{1-x}$  ( $x=0.0001\sim0.02$ ))合金などで形成すると良い。本実施例では、プラズマCVD法を用い、55[nm]の非晶質珪素膜を成膜した後、ニッケルを含む溶液を非晶質珪素膜上に保持させた。この非晶質珪素膜に脱水素化(500[°C]、1時間)を行った後、熱結晶化(550[°C]、4時間)を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質珪素膜を形成した。そして、この結晶質珪素膜から、フォトリソグラフィ法を用いたパターンニング処理によって、半導体層5003~5006を形成した。

【0063】また、半導体層5003~5006を形成した後、TFTのしきい値を制御するために微量な不純物元素(ボロンまたはリン)のドーピングを行ってもよい。

【0064】また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO<sub>4</sub>レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30[Hz]とし、レーザーエネルギー密度を100~400[mJ/cm<sup>2</sup>] (代表的には200~300[mJ/cm<sup>2</sup>])とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1~10kHzとし、レーザーエネルギー密度を300~600[mJ/cm<sup>2</sup>] (代表的には350~500[mJ/cm<sup>2</sup>])とすると良い。そして幅100~1000[μm]、例えば400[μm]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を50~90[%]として行えばよい。

【0065】次いで、半導体層5003~5006を覆うゲート絶縁膜5007を形成する。ゲート絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを40~150[nm]として珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により110[nm]の厚さで酸化窒化珪素膜(組成比Si=32[%]、O=59[%]、N=7[%]、H=2[%])で形成した。勿論、ゲート絶縁膜5007は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0066】また、酸化珪素膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicat

e)とO<sub>2</sub>とを混合し、反応圧力40[Pa]、基板温度300~400[°C]とし、高周波(13.56[MHz])電力密度0.5~0.8[W/cm<sup>2</sup>]で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後400~500[°C]の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0067】次いで、ゲート絶縁膜5007上に膜厚20~100[nm]の第1の導電膜5008と、膜厚100~400[nm]の第2の導電膜5009とを積層形成する。本実施例では、膜厚30[nm]のTa<sub>2</sub>N膜からなる第1の導電膜5007と、膜厚370[nm]のW膜からなる第2の導電膜5008を積層形成した。Ta<sub>2</sub>N膜はスパッタ法で形成し、Taのターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W膜は、Wのターゲットを用いたスパッタ法で形成した。その他に6フッ化タングステン(WF<sub>6</sub>)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20[μΩcm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って本実施例では、高純度のW(純度99.9999[%])のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20[μΩcm]を実現することができた。

【0068】なお、本実施例では、第1の導電膜5008をTa<sub>2</sub>N、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶珪素膜に代表される半導体膜を用いてもよい。また、Ag、Pd、Cuからなる合金を用いてもよい。また、第1の導電膜をTa膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜をTi<sub>2</sub>N膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタル(Ta<sub>2</sub>N)膜で形成し、第2の導電膜をAl膜とする組み合わせ、第1の導電膜をTa<sub>2</sub>N膜で形成し、第2の導電膜をCu膜とする組み合わせとしてもよい。

【0069】次に、図8(B)に示すようにフォトリソグラフィ法を用いてレジストからなるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。第1のエッチング処理では第1及び第2のエッチング条件で行う。本実施例では第1のエッチング条件として、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスにCF<sub>4</sub>とC<sub>2</sub>H<sub>2</sub>とO<sub>2</sub>とを用い、それぞれのガス流量比を25/25/10[sccm]とし、1[Pa]の圧力でコイル型の電極に500[W]のRF (13.56[M

Hz) 電力を投入してプラズマを生成してエッチングを行った。ここでは、松下電器産業(株)製のICPを用いたドライエッチング装置(Model E645-□ICP)を用いた。基板側(試料ステージ)にも150[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりW膜をエッチングして第1の導電層の端部をテーパ形状とする。第1のエッチング条件でのWに対するエッチング速度は200.39[nm/min.], TaNに対するエッチング速度は80.32[nm/min.]であり、TaNに対するWの選択比は約2.5である。また、この第1のエッチング条件によって、Wのテーパ角は、約26°となる。

【0070】この後、図8(B)に示すようにレジストからなるマスク5010を除去せずに第2のエッチング条件に変え、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>とを用い、それぞれのガス流量比を30/30[sccm]とし、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して約30秒程度のエッチングを行った。基板側(試料ステージ)にも20[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。CF<sub>4</sub>とCl<sub>2</sub>を混合した第2のエッチング条件ではW膜及びTaN膜とも同程度にエッチングされる。第2のエッチング条件でのWに対するエッチング速度は58.97[nm/min.], TaNに対するエッチング速度は66.43[nm/min.]である。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20[%]程度の割合でエッチング時間を増加させると良い。

【0071】上記第1のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。このテーパ部の角度は15~45°とすればよい。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層5011~5015(第1の導電層5011a~5015aと第2の導電層5011b~5015b)を形成する。ゲート絶縁膜5007においては、第1の形状の導電層5011~5015で覆われない領域は20~50[nm]程度エッチングされ薄くなった領域が形成される。

【0072】そして、レジストからなるマスクを除去せずに第1のドーピング処理を行い、半導体層にn型を付与する不純物元素を添加する(図8(B))。ドーピング処理はイオンドープ法、若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13}$ ~ $5 \times 10^{15}$  [atoms/cm<sup>2</sup>]とし、加速電圧を60~100[keV]として行う。本実施例ではドーズ量を $1.5 \times 10^{15}$  [atoms/cm<sup>2</sup>]とし、加速電圧を80[keV]として行った。n型を付与する不純物元素として15族に属す

る元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いた。この場合、第1の形状の導電層5011~5015がn型を付与する不純物元素に対するマスクとなり、自己整合的に高濃度不純物領域5016~5019が形成される。高濃度不純物領域5016~5019には $1 \times 10^{20}$ ~ $1 \times 10^{21}$  [atoms/cm<sup>3</sup>]の濃度範囲でn型を付与する不純物元素を添加する。

【0073】次いで、図8(C)に示すようにレジストからなるマスクを除去せずに第2のエッチング処理を行う。ここでは、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>とO<sub>2</sub>とを用い、それぞれのガス流量比を20/20/20[sccm]とし、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)にも20[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。第2のエッチング処理でのWに対するエッチング速度は124.62[nm/min.], TaNに対するエッチング速度は20.67[nm/min.]であり、TaNに対するWの選択比は6.05である。従って、W膜が選択的にエッチングされる。この第2のエッチングによりWのテーパ角は70°となった。この第2のエッチング処理により第2の導電層5020b~5024bを形成する。一方、第1の導電層5011a~5015aは、ほとんどエッチングされず、第1の導電層5020a~5024aを形成する。

【0074】次いで、第2のドーピング処理を行う。ドーピングは第2の導電層5020b~5024bを不純物元素に対するマスクとして用い、第1の導電層のテーパ部下方の半導体層に不純物元素が添加されるようにドーピングする。本実施例では、不純物元素としてP(リン)を用い、ドーズ量 $1.5 \times 10^{14}$  [atoms/cm<sup>2</sup>]、電流密度0.5[μA]、加速電圧90[keV]にてプラズマドーピングを行った。こうして、第1の導電層と重なる低濃度不純物領域5025~5028を自己整合的に形成する。この低濃度不純物領域5025~5028へ添加されたリン(P)の濃度は、 $1 \times 10^{17}$ ~ $5 \times 10^{18}$  [atoms/cm<sup>3</sup>]であり、且つ、第1の導電層のテーパ部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層のテーパ部と重なる半導体層において、第1の導電層のテーパ部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。また、高濃度不純物領域5016~5019にも不純物元素が添加される(図9(A))。

【0075】次いで、図9(B)に示すようにレジストからなるマスクを除去してからフォトリソグラフィ法を用いて、第3のエッチング処理を行う。この第3のエッチング処理では第1の導電層のテーパ部を部分的にエッチングして、第2の導電層と重なる形状にするために

行われる。ただし、第3のエッチングを行わない領域には、レジスト5029からなるマスクを形成する。

【0076】第3のエッチング処理におけるエッチング条件は、エッチングガスとして $\text{Cl}_2$ と $\text{SF}_6$ とを用い、それぞれのガス流量比を10/50[sccm]として第1及び第2のエッチングと同様にICPエッチング法を用いて行う。なお、第3のエッチング処理での $\text{TaN}$ に対するエッチング速度は、111.2[nm/min.]であり、ゲート絶縁膜に対するエッチング速度は、12.8[nm/min.]である。

【0077】本実施例では、1.3[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成してエッチングを行った。基板側(試料ステージ)にも10[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。以上により、第1の導電層5030a~5032aが形成される。

【0078】上記第3のエッチングによって、第1の導電層5030a~5032aと重ならない不純物領域(LDD領域)5033~5034が形成される。なお、不純物領域(GOLD領域)5025、5028は、第1の導電層5020a、5024aとそれぞれ重なったままである。

【0079】このようにして、本実施例は、第1の導電層と重ならない不純物領域(LDD領域)5033~5034と、第1の導電層と重なる不純物領域(GOLD領域)5025、5028を同時に形成することができ、TFT特性に応じた作り分けが可能となる。

【0080】次いで、レジストからなるマスクを除去した後、ゲート絶縁膜5007をエッチング処理する。こ  
こでのエッチング処理は、エッチングガスに $\text{CHF}_3$ を用い、反応性イオンエッチング法(RIE法)を用いて行う。本実施例では、チャンバー圧力6.7[Pa]、RF電力800[W]、 $\text{CHF}_3$ ガス流量35[sccm]で第3のエッチング処理を行った。これにより、高濃度不純物領域5016~5019の一部は露呈し、ゲート絶縁膜5007a~5007dが形成される。

【0081】次に、新たにレジストからなるマスク5035を形成して第3のドーピング処理を行う。この第3のドーピング処理により、pチャンネル型TFTの活性層となる半導体層に前記第1の導電型(n型)とは逆の第2の導電型(p型)を付与する不純物元素が添加された不純物領域5036を形成する(図9(C))。第1の導電層5030aを不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に不純物領域を形成する。

【0082】本実施例では、不純物領域5036はジボラン( $\text{B}_2\text{H}_6$ )を用いたイオンドーピング法で形成する。なお、この第3のドーピング処理の際には、nチャンネル型TFTを形成する半導体層はレジストからなるマスク50

035で覆われている。第1のドーピング処理及び第2のドーピング処理によって、不純物領域5036にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもp型を付与する不純物元素の濃度が $2 \times 10^{20} \sim 2 \times 10^{21} [\text{atoms}/\text{cm}^3]$ となるようにドーピング処理することにより、pチャンネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。

【0083】以上までの工程でそれぞれの半導体層に不純物領域が形成される。なお、本実施例では、ゲート絶縁膜をエッチングした後で不純物(B)のドーピングを行う方法を示したが、ゲート絶縁膜をエッチングしないで不純物のドーピングを行っても良い。

【0084】次いで、レジストからなるマスク5035を除去して図10(A)に示すように第1の層間絶縁膜5037を形成する。この第1の層間絶縁膜5037としては、プラズマCVD法またはスパッタ法を用い、厚さを100~200[nm]として珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により膜厚150[nm]の酸化窒化珪素膜を形成した。勿論、第1の層間絶縁膜5037は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

【0085】次いで、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程はファーネスアニール炉を用いる熱アニール法で行う。熱アニール法としては、酸素濃度が1[ppm]以下、好ましくは0.1[ppm]以下の窒素雰囲気中で400~700[°C]、代表的には500~550[°C]で行えばよく、本実施例では550[°C]、4時間の熱処理で活性化処理を行った。なお、熱アニール法の他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。

【0086】なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したNiが高濃度のPを含む不純物領域にゲッタリングされ、主にチャンネル形成領域となる半導体層中のニッケル濃度が低減される。このようにして作製したチャンネル形成領域を有するTFTはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0087】また、第1の層間絶縁膜5037を形成する前に活性化処理を行っても良い。ただし、用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜5037(シリコンを主成分とする絶縁膜、例えば窒化珪素膜)を形成した後で活性化処理を行うことが好ましい。

【0088】その他、活性化処理を行った後でドーピング処理を行い、第1の層間絶縁膜5037を形成させても良い。

【0089】さらに、3~100[%]の水素を含む雰囲気中で、300~550[℃]で1~12時間の熱処理を行い、半導体層を水素化する工程を行う。本実施例では水素を約3[%]の含む窒素雰囲気中で410[℃]、1時間の熱処理を行った。この工程は層間絶縁膜5037に含まれる水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0090】また、活性化処理としてレーザーアニール法を用いる場合には、上記水素化を行った後、エキシマレーザーやYAGレーザー等のレーザー光を照射することが望ましい。

【0091】次いで、図10(B)に示すように第1の層間絶縁膜5037上に有機絶縁物材料から成る第2の層間絶縁膜5038を形成する。本実施例では膜厚1.6[μm]のアクリル樹脂膜を形成した。次いで、各不純物領域5016、5018、5019、5036に達するコンタクトホールを形成するためのパターニングを行う。

【0092】第2の層間絶縁膜5038としては、珪素を含む絶縁材料や有機樹脂からなる膜を用いる。珪素を含む絶縁材料としては、酸化珪素、窒化珪素、酸化窒化珪素を用いることができ、また有機樹脂としては、ポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）などを用いることができる。

【0093】本実施例では、プラズマCVD法により形成された酸化窒化珪素膜を形成した。なお、酸化窒化珪素膜の膜厚として好ましくは1~5[μm]（さらに好ましくは2~4[μm]）とすればよい。酸化窒化珪素膜は、膜自身に含まれる水分が少ないためにEL素子の劣化を抑える上で有効である。また、コンタクトホールの形成には、ドライエッチングまたはウェットエッチングを用いることができるが、エッチング時における静電破壊の問題を考えると、ウェットエッチング法を用いるのが望ましい。

【0094】さらに、ここでのコンタクトホールの形成において、第1層間絶縁膜5037及び第2層間絶縁膜5038を同時にエッチングするため、コンタクトホールの形状を考えると第2層間絶縁膜5038を形成する材料は、第1層間絶縁膜5037を形成する材料よりもエッチング速度の速いものを用いるのが好ましい。

【0095】そして、各不純物領域5016、5018、5019、5036とそれぞれ電気的に接続する配線5039~5044を形成する。ここでは、膜厚50[nm]のTi膜と、膜厚500[nm]の合金膜（AlとTiとの合金膜）との積層膜をパターニングして形成するが、他の導電膜を用いても良い。

【0096】以上のようにして、nチャネル型TFT、pチャネル型TFTを有する駆動回路と、画素TFT、

保持容量を有する画素部とを、同一基板上に形成することが出来る。本明細書中では、このような基板をアクティブマトリクス基板と表記する。

【0097】また、保持容量については、ゲート導電膜の形成前に、必要部分に選択的に不純物のドーピングを行い、容量を形成しても良い。この方法によると、フォトリソスト用のマスクが1枚増えることになるが、バイアスをかけることなく保持容量を形成することが出来る。

【0098】続いて、第3の層間絶縁膜5045を形成する。この工程においては、続く画素電極の形成のため、TFTを形成している面の平坦化を行うためのものでもある。よって、平坦性に優れた、アクリル等の樹脂膜からなる絶縁膜で形成するのが望ましい。次いで、その上にMgAg膜を形成し、パターニングすることによって、画素電極（反射電極）5046を形成する（図10(C)）。

【0099】一方、対向基板5047を用意する。図11(A)に示すように、対向基板5047にはカラーフィルタ層5048~5050、オーバーコート層5051を形成する。カラーフィルタ層は、TFTの上方で、異なる色のカラーフィルタ5048、5049を重ねて形成し、遮光膜を兼ねる構成とする。なお、各色のカラーフィルタ層は、樹脂に顔料を混合したものを用い、1~3[μm]の厚さで形成する。これには感光性の材料を用い、マスクを用いて所定のパターンに形成することが出来る。同時に、このカラーフィルタ層を利用して、スペーサを形成する（図示せず）。これは、カラーフィルタを重ねて形成することによって形成すれば良い。スペーサの高さは、オーバーコート層5051の厚さ1~4[μm]を考慮することにより、2~7[μm]、好ましくは4~6[μm]とすることが出来、この高さにより、アクティブマトリクス基板と対向基板とを貼り合わせた際のギャップを形成する。オーバーコート層5051は、光硬化型または熱硬化型の有機樹脂材料で形成し、例えば、ポリイミドやアクリル樹脂等を用いれば良い。

【0100】オーバーコート層5051を形成した後、透明導電膜でなる対向電極5052をパターニング形成する。その後、アクティブマトリクス基板、対向基板ともに、配向膜5053を形成し、ラビング処理を行う。

【0101】その後、アクティブマトリクス基板と対向基板とを、シール剤5055で貼り合わせる。シール剤5055にはフィラーが混入されており、このフィラーとスペーサによって、2枚の基板が均一な間隔をもって貼り合わせられる。続いて、両基板の間に液晶材料5054を注入し、封止剤（図示せず）によって完全に封止する。液晶材料5054としては、公知の液晶材料を用いれば良い。以上のようにして、図11(A)に示すようなアクティブマトリクス型液晶表示装置が完成する。

【0102】なお、上記の工程により作成されるアクテ

ィブマトリクス型液晶表示装置におけるTFTはトップゲート構造をとっているが、ボトムゲート構造のTFTや、その他の構造のTFTに関しても、本実施例は容易に適用され得る。また、画素電極を透明導電膜によって形成することによって、透過型の表示装置とすることも出来る。

【0103】また、本実施例においてはガラス基板を使用しているが、ガラス基板に限らず、プラスチック基板、ステンレス基板、単結晶ウェハ等、ガラス基板以外のものを使用する場合にも実施が可能である。

【0104】【実施例6】本発明の表示装置には様々な用途がある。本実施例では、本発明の表示装置を組み込んだ電子機器の応用例について説明する。

【0105】このような電子機器には、携帯情報端末（電子手帳、モバイルコンピュータ、携帯電話等）、ビデオカメラ、デジタルカメラ、パーソナルコンピュータ、テレビ、プロジェクタ装置等が挙げられる。それらの一例を図12および図13に示す。

【0106】図12（A）は液晶ディスプレイ（LCD）であり、筐体3301、支持台3302、表示部3303等を含む。本発明の表示装置は表示部3303にて用いることが出来る。

【0107】図12（B）はビデオカメラであり、本体3311、表示部3312、音声入力部3313、操作スイッチ3314、バッテリー3315、受像部3316等を含む。本発明の表示装置は表示部3312にて用いることが出来る。

【0108】図12（C）はパーソナルコンピュータであり、本体3321、筐体3322、表示部3323、キーボード3324等を含む。本発明の表示装置は表示部3323にて用いることが出来る。

【0109】図12（D）は携帯情報端末であり、本体3331、スタイラス3332、表示部3333、操作ボタン3334、外部インターフェイス3335等を含む。本発明の表示装置は表示部3333にて用いることが出来る。

【0110】図13（A）は携帯電話であり、本体3401、音声出力部3402、音声入力部3403、表示部3404、操作スイッチ3405、アンテナ3406を含む。本発明の表示装置は表示部3404にて用いることが出来る。

【0111】図13（B）は音響再生装置、具体的にはカーオーディオであり、本体3411、表示部3412、操作スイッチ3413、3414を含む。本発明の表示装置は表示部3412にて用いることが出来る。ま

た、本実施例では車載用オーディオを示すが、携帯型もしくは家庭用の音響再生装置に用いても良い。

【0112】図13（C）はデジタルカメラであり、本体3501、表示部（A）3502、接眼部3503、操作スイッチ3504、表示部（B）3505、バッテリー3506を含む。本発明の表示装置は、表示部（A）3502、表示部（B）3505にて用いることが出来る。

【0113】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1～実施例5に示したいずれの構成を適用しても良い。

【発明の効果】本発明により、外部コントローラLSI等の定駆動電圧化に対応し、かつ低消費電力化を実現する表示装置の駆動回路を提供することが出来る。

【図面の簡単な説明】

【図1】 本発明の表示装置のデジタル方式の駆動回路構成を示す図。

【図2】 本発明の表示装置のアナログ方式の駆動回路構成を示す図。

【図3】 通常のレベルシフトおよび差動増幅器を用いたレベルシフトを示す図。

【図4】 実施形態における回路の動作のタイミングチャートを示す図。

【図5】 選択回路をデコードを用いて構成する例を示す図。

【図6】 従来の表示装置におけるソース信号線駆動回路構成を示す図。

【図7】 従来の表示装置におけるソース信号線駆動回路構成を示す図。

【図8】 表示装置の作成工程例を示す図。

【図9】 表示装置の作成工程例を示す図。

【図10】 表示装置の作成工程例を示す図。

【図11】 表示装置の作成工程例を示す図。

【図12】 本発明の表示装置を電子機器に応用した例を示す図。

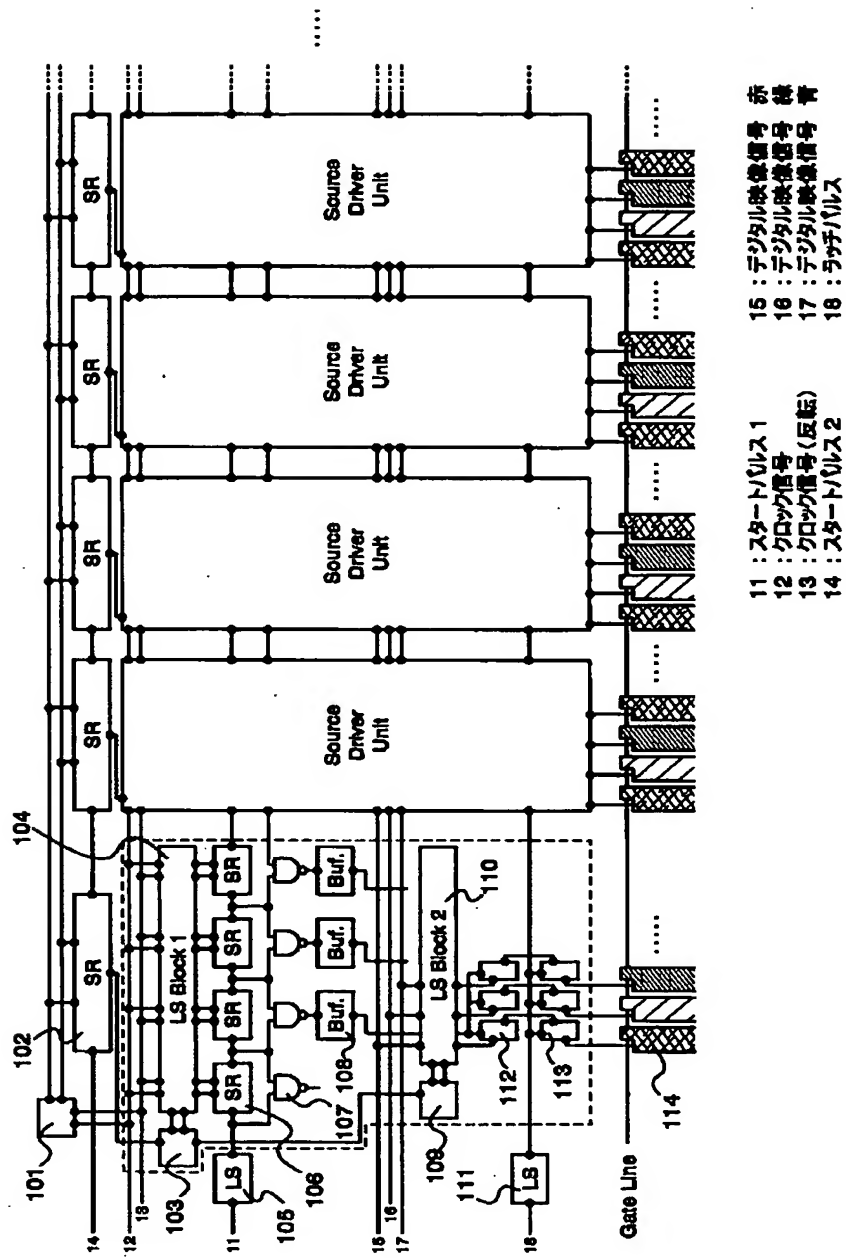
【図13】 本発明の表示装置を電子機器に応用した例を示す図。

【図14】 選択回路をデコードを用いて構成する例を示す図。

【図15】 選択回路をデコードを用いて構成する例を示す図。

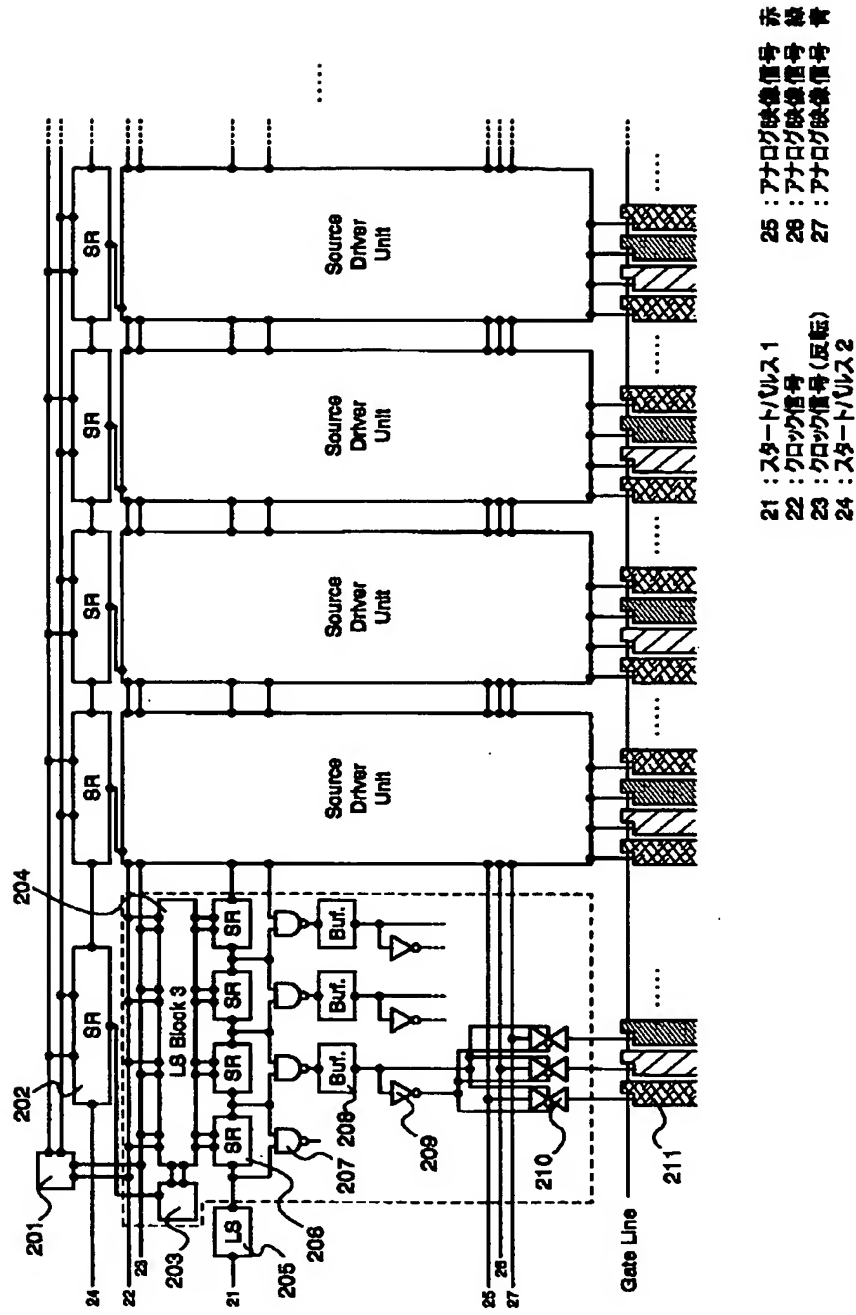
【図16】 図15に示した回路の動作のタイミングチャートを示す図。

【図1】



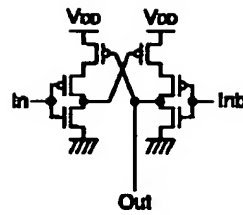
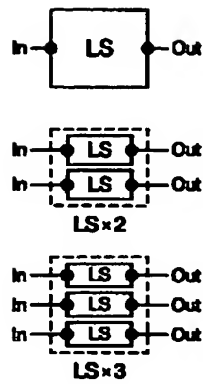


【図2】

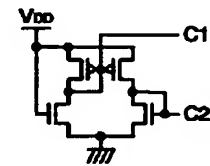
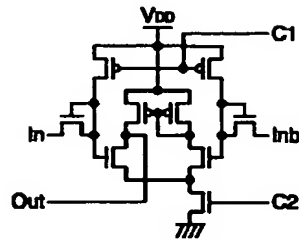
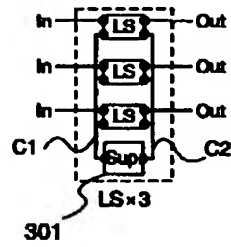


【図3】

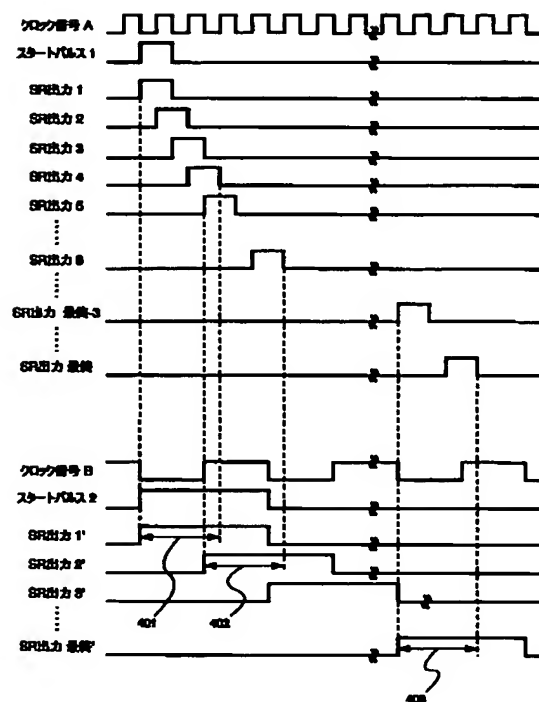
(A)



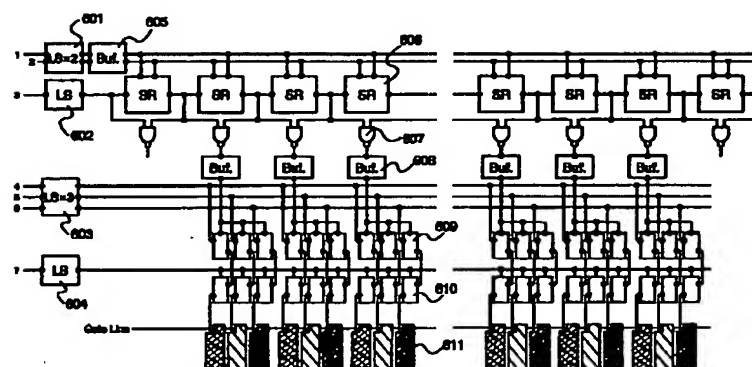
(B)



【図4】

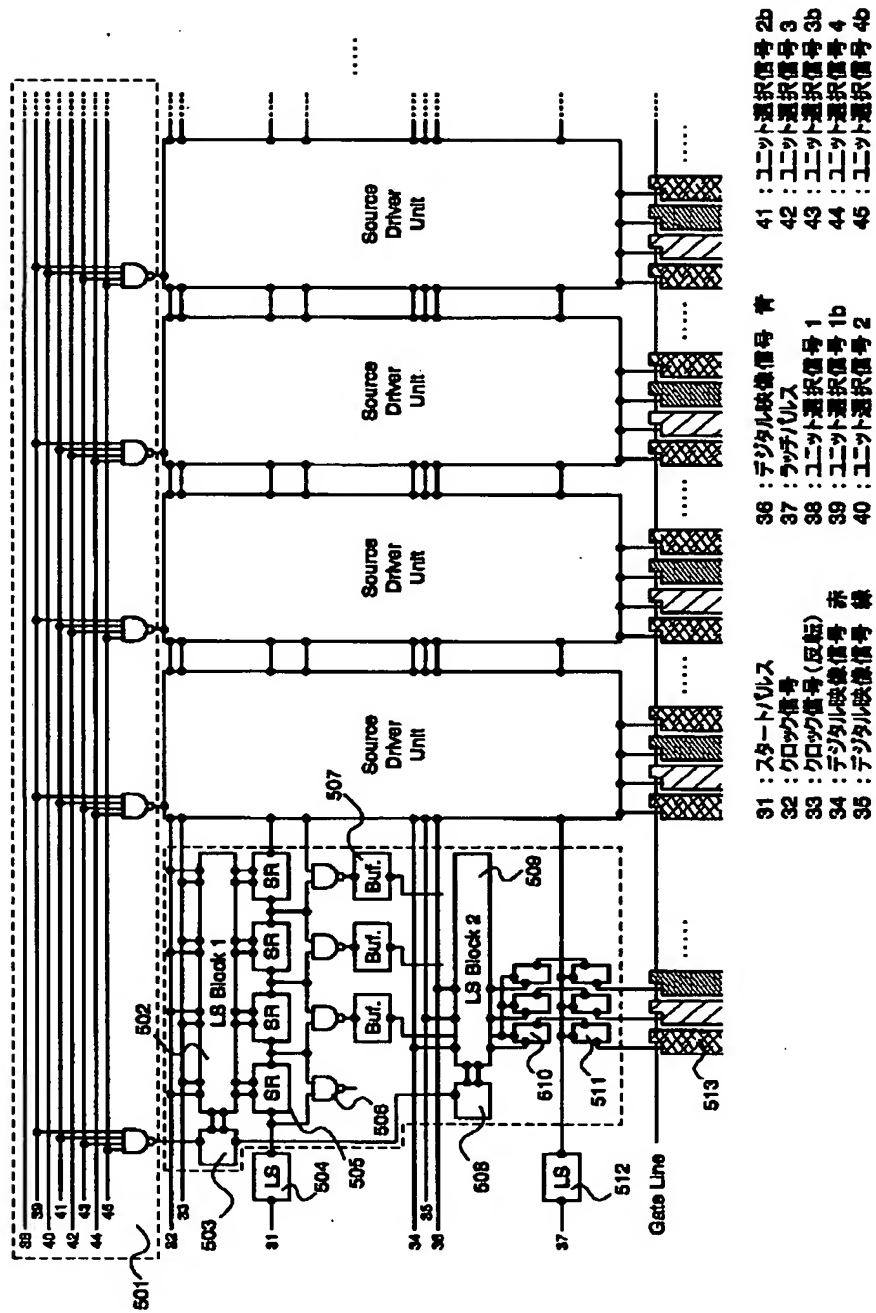


【図6】

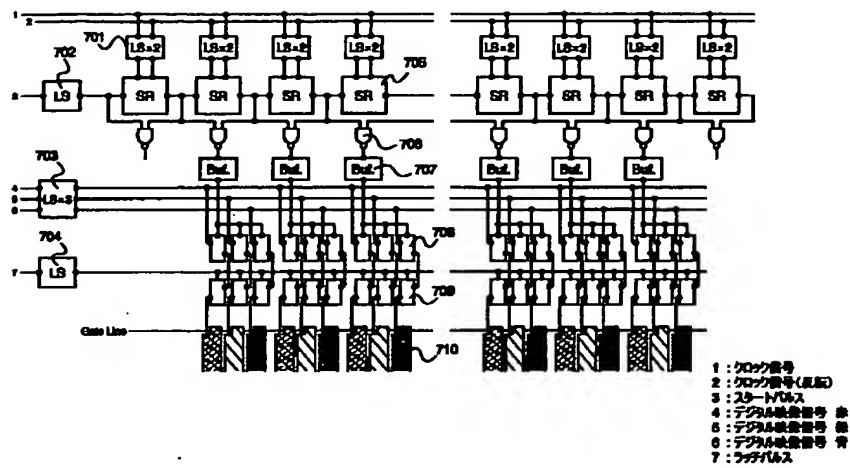


- ：クロック番号
- ：クロック番号(戻転)
- ：スタートパルス
- ：デジタル映像番号 赤
- ：デジタル映像番号 緑
- ：デジタル映像番号 青
- ：ラッチパルス

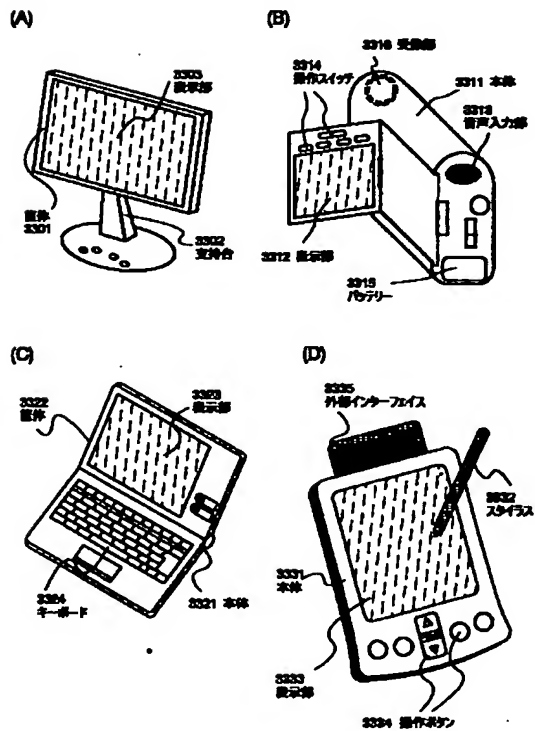
【図5】



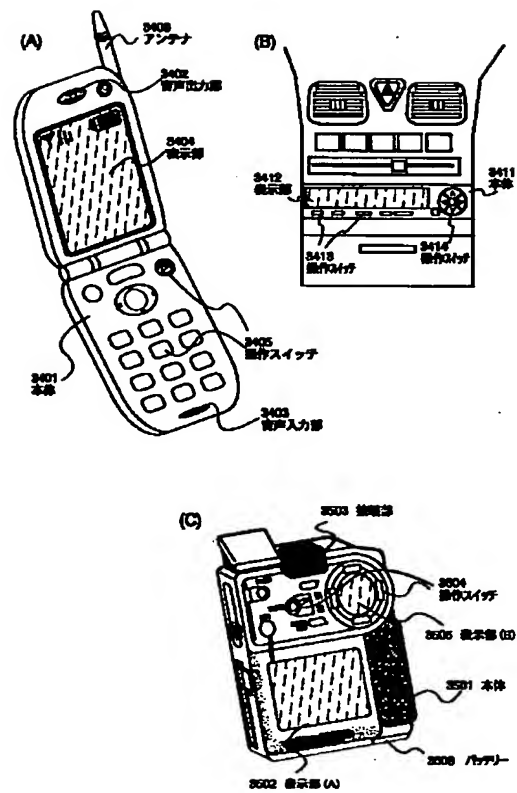
【図7】



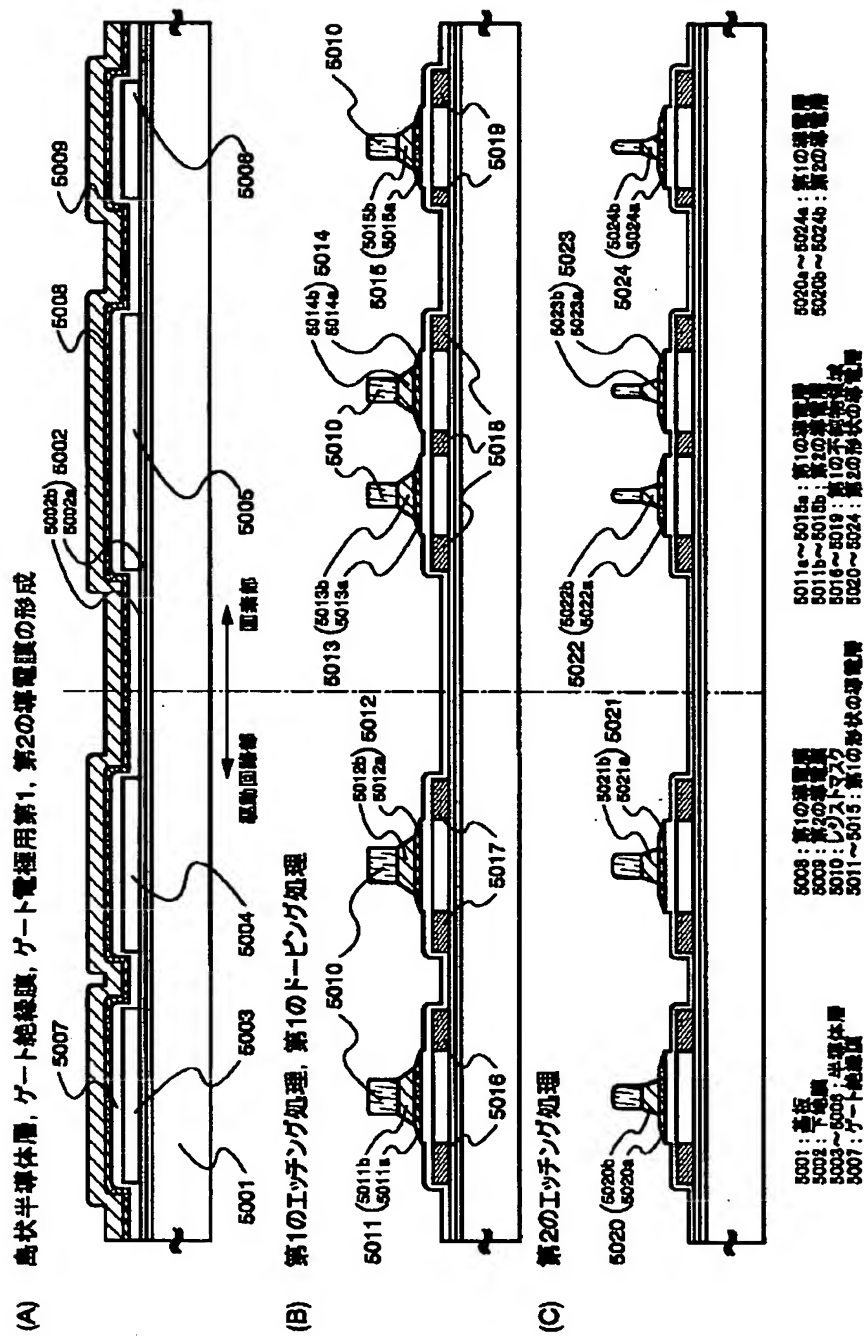
【図12】



【図13】

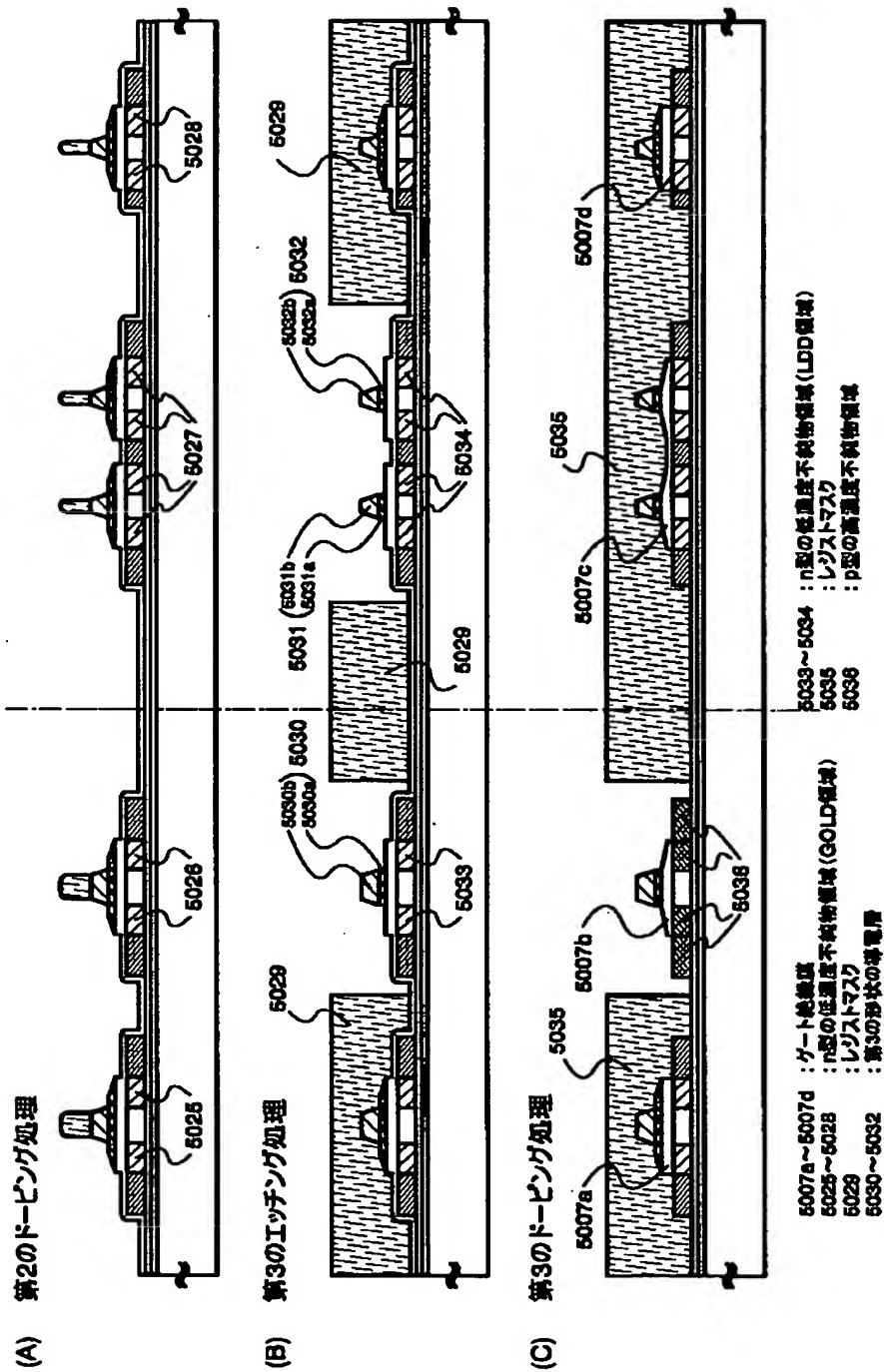


【図8】

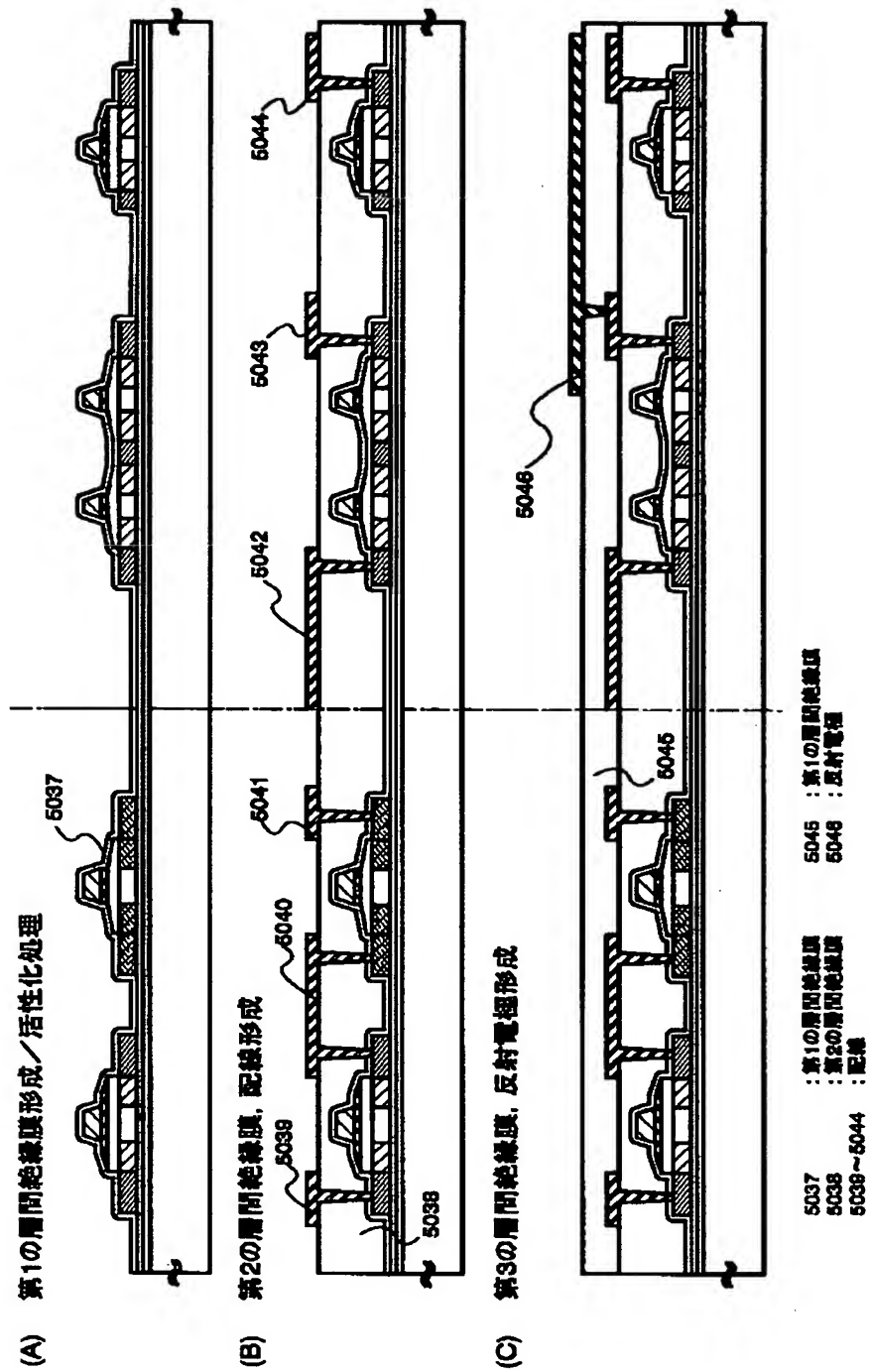




【図9】

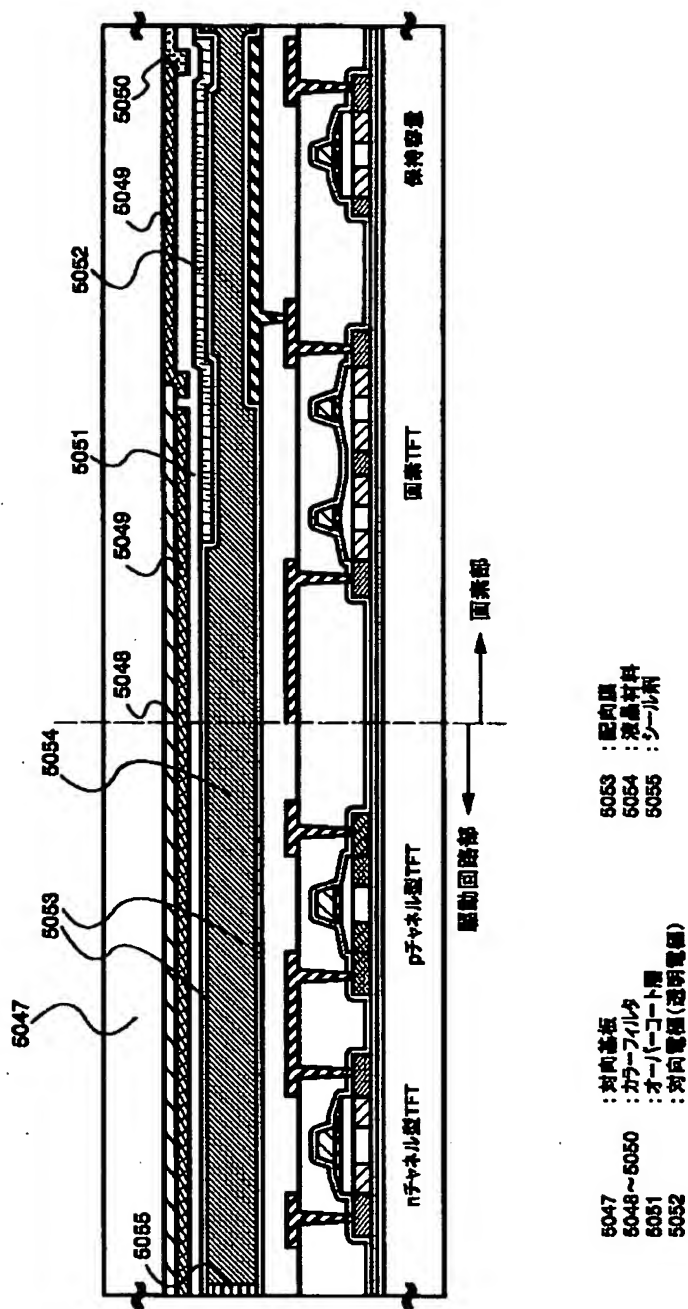


【図10】

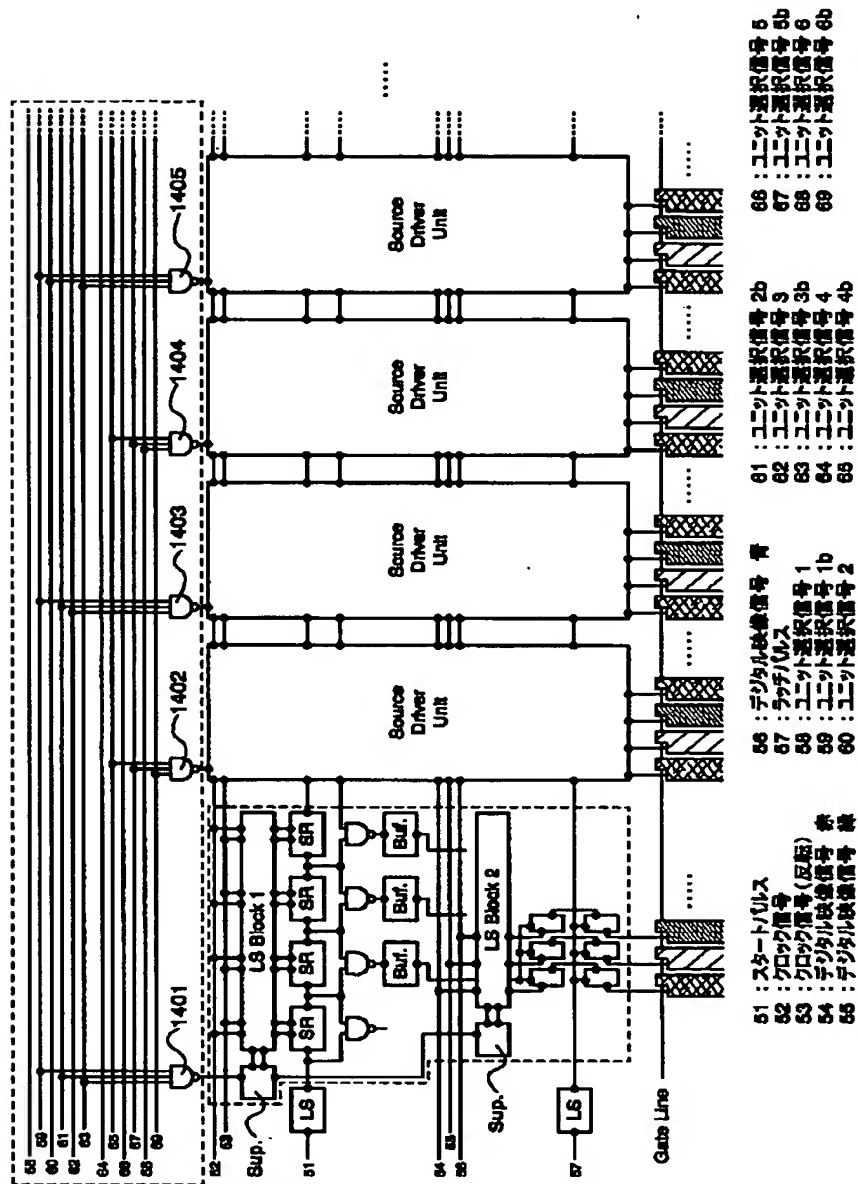


【図11】

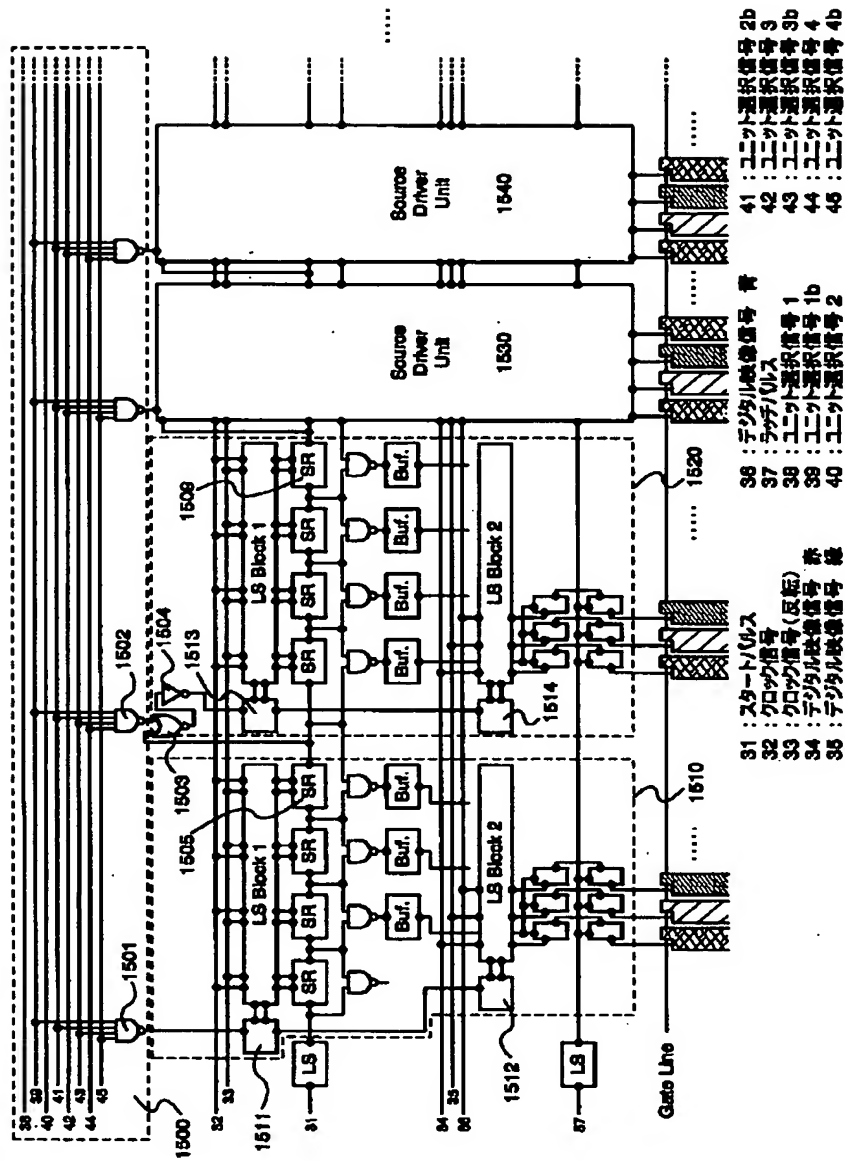
## (A) 対向基板側形成／液晶材料封入



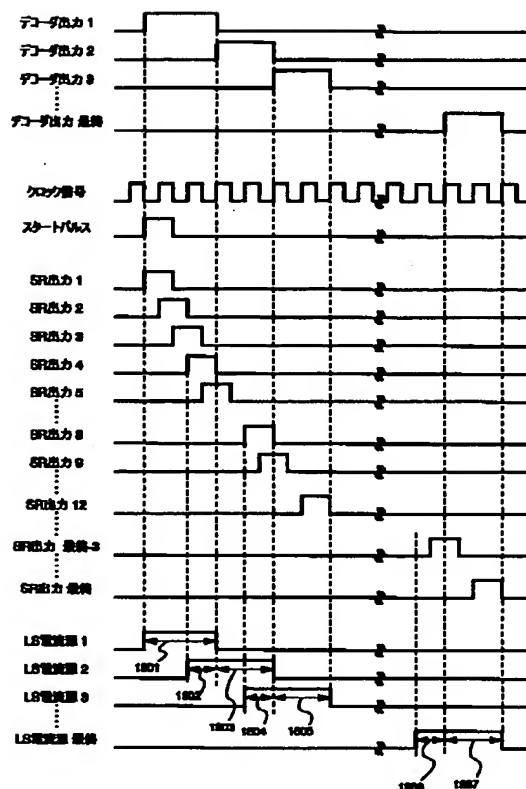
【図14】



【図15】



【図16】



フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I	タームコード(参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 B
	6 8 0		6 8 0 P
			6 8 0 T
			6 8 0 V

Fターム(参考) 2H092 GA59 JA24 RA10  
 2H093 NC01 NC09 NC22 ND39  
 5C006 BB16 BC03 BC20 BF03 BF46  
 BF49 EB05 FA46 FA47  
 5C080 AA10 BB05 DD25 DD26 DD30  
 FF11 JJ02 JJ03 JJ04 JJ06  
 KK02 KK07 KK43